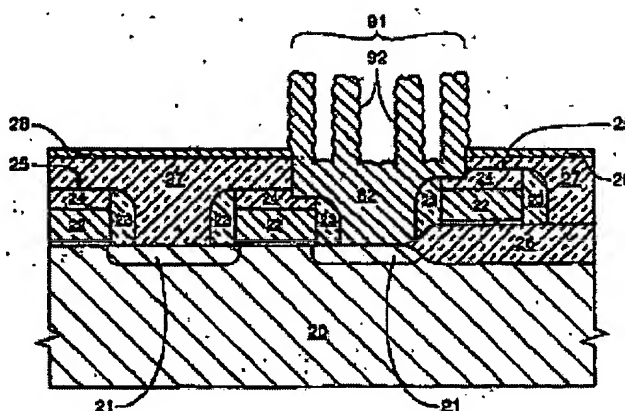


Conducting structure prodn. on topography of substrate

Patent number: DE4447804
Publication date: 2002-01-24
Inventor: DENNISON CHARLES H [US]
Applicant: MICRON TECHNOLOGY INC [US]
Classification:
- international: H01L21/8242
- european: H01L21/02B3; H01L21/02B3C; H01L21/02B3C2; H01L21/768; H01L21/8242B2; H01L27/108F2
Application number: DE1994447804 19940209
Priority number(s): DE19944404129 19940209; US19930017067 19930212

Abstract of DE4447804

Prodn. of a conducting structure having several pins on the topography of a starting substrate comprises: (a) forming 1st, 2nd and 3rd insulating layers (27,28,29) completely over the topography; (b) patterning and etching an opening (30) in the 3 insulating layers; (c) forming and planarising a conducting layer (31) by filling the opening; (d) creating an etching mask (33) by applying polysilicon having semispherical grain size for pattern transfer; (e) transferring an archipelago pattern over the etching mask onto the planar conducting layer; and (f) forming pins (34) to create the conducting structure having the several pins.



Data supplied from the *esp@cenet* database - Worldwide



DEUTSCHES
PATENT- UND
MARKENAMT

②① Aktenzeichen: P 44 47 804.6-33
②② Anmeldetag: 9. 2. 1994
④③ Offenlegungstag: 18. 8. 1994
④⑤ Veröffentlichungstag
der Patenterteilung: 24. 1. 2002

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③⑩ Unionspriorität:
017067 12. 02. 1993 US

⑦③ Patentinhaber:
Micron Technology, Inc. (n.d.Ges.d. Staates
Delaware), Boise, Id., US

⑦④ Vertreter:
Klunker, Schmitt-Nilson, Hirsch, 80797 München

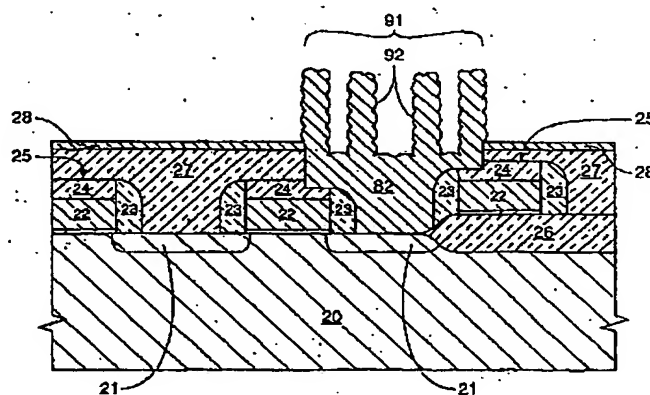
⑥⑦ Teil aus: P 44 04 129.2

⑦② Erfinder:
Dennison, Charles H., Boise, Id., US

⑤⑥ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 51 62 248
US 50 61 650
IEEE Transactions on Electron Devices, Bd. 38,
No. 2, 1991, S. 255-260;

⑤④ Verfahren zum Herstellen einer leitfähigen Mehrfachbehälter-Struktur auf der bestehenden Topographie eines Ausgangssubstrats

⑤⑦ Die vorliegende Erfindung schafft ein in der Produktion wiederholbares Verfahren zur Bildung von Polysilizium-Speicherknotenstrukturen unter Verwendung einer Mehrfachbehälter-Struktur. Das Verfahren umfaßt folgende Schritte: Bilden einer vollflächigen ersten, zweiten und dritten Isolierschicht (27, 28 und 29) über der bestehenden Topographie; Mustergebung und Ätzen einer Öffnung (91) in die erste, zweite und dritte Isolierschicht; Ausbilden und Planarmachen einer leitfähigen Schicht (82) unter Füllung der Öffnung; Einbringen einer Vertiefung in die planarisierte leitfähige Schicht (82); ausbilden von isolierenden Abstandselementen (83, 85) und leitfähigen Abstandselementen (84) in einander abwechselnder Weise auf der vertieften Oberfläche der leitfähigen Schicht (82); Entfernen der dritten Isolierschicht (29) unter Freilegung der Außenwände der leitfähigen Schicht; und Entfernen der leitfähigen Abstandselemente (84) und Eingraben in die darunterliegende leitfähige Schicht zur Bildung der Mehrfachbehälter-Struktur.



DE 44 47 804 C 2

Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen einer leitfähigen Mehrfachbehälter-Struktur auf der bestehenden Topographie eines Ausgangssubstrats.

[0002] Bei dynamischen Halbleiterspeichervorrichtungen ist es wesentlich, daß die Zellenplatten der Speicherknoten-kondensatoren groß genug sind, um eine angemessene Ladung beizubehalten. Wie es bei den meisten integrierten Halbleiterschaltungen der Fall ist, nimmt die Schaltdichte mit einer ziemlich konstanten Rate weiter zu. Der Gesichtspunkt der Aufrechterhaltung der Speicherknotenkapazität ist von besonderer Bedeutung, da die Dichte von DRAM-Anordnungen für zukünftige Generationen von Speichervorrichtungen weiter zunimmt.

[0003] Die Fähigkeit, Speicherzellen dicht zu packen und dabei die erforderlichen Kapazitätsniveaus aufrechtzuerhalten, ist eine Hauptanforderung an Halbleiterherstellungstechnologien, wenn zukünftige Generationen erweiterter Speichervorrichtungen erfolgreich hergestellt werden sollen.

[0004] Ein Verfahren zum Aufrechterhalten sowie zum Erhöhen der Speicherknotengröße in dichtgepackten Speichervorrichtungen besteht in der Verwendung des "Stapel-speicherzellen"-Aufbaus. Bei dieser Technologie werden zwei oder mehr Schichten eines leitfähigen Materials, wie z. B. polykristallines Silizium (im folgenden kurz Polysilizium genannt), über eine Zugriffsvorrichtung auf einem Siliziumwafer aufgebracht, wobei dielektrische Schichten sandwichartig zwischen jeder Polysiliziumschicht angeordnet werden. Eine auf diese Weise ausgebildete Zelle ist unter der Bezeichnung Stapelkondensatorzelle (STC) bekannt. Eine solche Zelle nutzt den Raum über der Zugriffsvorrichtung für Kondensatorplatten, weist eine geringe Soft Error Rate (SER) auf und kann in Verbindung mit zwischen den Platten vorgesehenen, isolierenden Schichten mit hoher Dielektrizitätskonstante eingesetzt werden.

[0005] Es ist jedoch schwierig, mit einem herkömmlichen STC-Kondensator eine ausreichende Speicherkapazität zu erzielen, da der Speicherelektrodenbereich auf die Grenzen seines eigenen Zellenbereichs eingeschränkt ist. Auch wird das Aufrechterhalten einer guten dielektrischen Durchschlagsfestigkeit zwischen Polysiliziumschichten bei dem STC-Kondensator zu einem großen Problem, sobald die Dicke des Isolators angemessen dimensioniert ist.

[0006] Ein von J. H. Ahn et al. vorgelegter Artikel mit dem Titel "Micro Villus Patterning (MVP) Technology for 256 Mb DRAM Stack Cell", 1992 IEEE, 1992 Symposium on VLSI Technology Digest of Technical Papers, Seiten 12 und 13, der durch Bezugnahme zu einem Bestandteil der vorliegenden Anmeldung gemacht wird, erörtert die Technologie der Mikrozotten-Mustergebung (MVP oder Micro Villus Patterning) zur Entwicklung eines dreidimensionalen Stapelkondensators mit in die Speicherknotenzellenplatte eingebauten, vertikalen zottenartigen Stäben bzw. Stiften.

[0007] Die Verwendung der MVP-Technologie kann jedoch zu Splitterproblemen (oder Abplatzungen) bei dem Speicherknotenpolysilizium führen, wenn die MVP-Technologie zur Bildung von dreidimensionalen Stapelkondensatoren in der durch die genannte Schrift beschriebenen Weise verwendet wird. Wie in Fig. 4 gezeigt ist, sind im Querschnitt dargestellte parallele Wortleitungen 12 auf einem Siliziumwafer 10 hergestellt worden. Speicherknoten 13 (die Kontakt mit aktiven Bereichen 11 herstellen) sind aus Speicherknotenpolysilizium 14 und Polysilizium-Mikrozottenstäben bzw. -stiften 15 gebildet worden. Wie in diesem Querschnitt zu sehen ist, sind die Mikrozottenstifte 15 anfällig für ein Splittern, das zu umkippenden Polysilizi-

umsplittern führen kann, die einen Kurzschluß zu benachbartem Speicherknotenpolysilizium verursachen könnten, wodurch die benachbarten Speicherzellen kurzgeschlossen und dadurch unbrauchbar würden. Bei Verwendung von Polysilizium mit halbkugelförmiger Körnung, wie es in Fig. 4 der Fall ist, führt die variable Korngröße außerdem zu veränderlichen Stiftdurchmessern, wobei ein Prozentsatz dieser Stifte Durchmesser von weniger als 0,0100 µm aufweist, die noch anfälliger gegen Brechen und Splittern sind.

[0008] Wenn z. B. bei einem 64-Mb-DRAM nur eine von 100.000 Zellen einen Kurzschluß aufgrund einer solchen Splitterung aufweisen würde, würde dies zu 640 statistischen Fehlern in dem 64-Mb-DRAM führen, wobei dies mehr Fehler sind, als repariert werden könnten. Da für die Reparatur nur eine begrenzte Anzahl redundanter Elemente zur Verfügung steht, würde die gesamte Speichervorrichtung unbrauchbar. Es ist daher wünschenswert, die Speicherzellenkapazität zu steigern, während gleichzeitig die mit dem Splittern des Speicherknotenpolysiliziums verbundenen Probleme eliminiert sind.

[0009] Die US-PS'en 5,162,248 und 5,061,650 zeigen Verfahren zum Herstellen von behälterartigen Speicherknoten-zellen, wobei die US '248 die Merkmale a), b), e) und f) des Anspruchs zeigt.

[0010] Aus dem Aufsatz von Kaga, T. et al.: "Crown-Shaped Stacked-Capacitor Cell for 1.5-V Operation 64-Mb DRAM's", IEEE Transactions On Electron Devices, Band 38, 02. Februar 1991, Seiten 255 bis 260, sind eine selbstausgerichtete Stapelkondensator-Speicherzelle sowie ein entsprechendes Herstellungsverfahren bekannt. Diese Druckschrift zeigt Herstellungsschritte für eine Doppelwand-Elektrodenstruktur.

[0011] Die vorliegende Erfindung entwickelt leitfähige Strukturen, die sich für Speicherknotenelektroden für Speicherzellen verwenden lassen und bei denen das Problem von Splittergefahr unterliegender Mikrostütze nicht vorhanden ist.

[0012] Dies wird erfindungsgemäß erreicht mit einem Verfahren gemäß Anspruch 1.

[0013] Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

[0014] Die Erfindung und Weiterbildungen der Erfindung werden im folgenden anhand der zeichnerischen Darstellungen mehrerer Ausführungsbeispiele noch näher erläutert. In den Zeichnungen zeigen:

[0015] Fig. 1-3 Querschnittsansichten unter Darstellung der Verfahrensschritte, die bei einem Ausführungsbeispiel der vorliegenden Erfindung durchgeführt werden; und

[0016] Fig. 4 eine Querschnittsansicht eines Polysilizium-Speicherknotens der unter Verwendung der Mikrozotten-Technologie entwickelt wurde.

[0017] Die vorliegende Erfindung ist darauf gerichtet, den Speicherzellen-Oberflächenbereich in einem Herstellungsprozeß zur Herstellung von hochdichten/großvolumigen DRAMs zu maximieren, wie dies in den Fig. 1 bis 3 dargestellt ist.

[0018] Ein Siliziumwafer wird unter Verwendung herkömmlicher Herstellungsschritte bis zu dem Punkt vorbereitet, an dem eine Kondensatorzelle definiert wird. An diesem Punkt ist die Herstellung von Wortleitungen, zugehörigen aktiven Bereichen und wahlweise vorgesehenen Ziffernleitungen für einen Kondensator über einem Ziffernleitungsfluß abgeschlossen (die Erfindung kann auch bei Stapelkondensatorzellen mit Kondensator unter den Ziffernleitungsflüssen verwendet werden). Die Verfahrensschritte eines Ausführungsbeispiels der vorliegenden Erfindung wird im folgenden erläutert.

[0019] Die Fig. 1 bis 3 zeigen ein Ausführungsbeispiel

unter Darstellung von Verfahrensschritten der vorliegenden Erfindung in einer Reihe von Querschnittsansichten durch parallele Wortleitungen. Dabei wird dieses Ausführungsbeispiel ausgehend von einer Querschnittsansicht durch die Wortleitungen beschrieben.

[0020] Wie unter Bezugnahme auf Fig. 1 zu sehen ist, in der ein Ausführungsbeispiel dargestellt ist, erstrecken sich die Wortleitungen 25 zwischen aktiven Bereichen 21, die in dem Substrat ausgebildet worden sind, um dadurch aktive Transistoren zu bilden. Die Wortleitungen 25 beinhalten eine leitfähige Schicht 22, die mit Dielektrikum 24 bedeckt ist und von dielektrischen Abstandselementen 23 umgeben ist. Es ist Dielektrikum 27 aufgebracht und planar ausgebildet worden, wonach die Aufbringung einer dielektrischen Schicht 28 erfolgt (wobei Nitrid bevorzugt wird). Eine Schicht aus dielektrischem Material 29 (bevorzugt wird Oxid) ist aufgebracht und planar ausgebildet worden, wonach ein Kontakt-/Behälter-Belichtungs- und Ätzvorgang zur Erzeugung einer Kontakt-/Behälter-Öffnung 31 erfolgt, um dadurch Zugang zu dem aktiven Bereich 21 zu schaffen. Nach der Ausbildung der Kontakt-/Behälter-Öffnung 31 erfolgt die Aufbringung einer an Ort und Stelle dotierten Polysiliziumschicht 32 in einer derartigen Weise, daß die Kontakt-/Behälter-Öffnung 31 vollständig gefüllt wird. Das Polysilizium 32 wird dann planar ausgebildet (vorzugsweise durch einen chemisch-mechanischen Planarisierungsvorgang), um die einander benachbarten Speicherknoten voneinander zu trennen. Als nächstes wird das Polysilizium 32 geätzt, um seine planar ausgebildete Oberfläche unter die planar ausgebildete Oberfläche des Oxids 29 zu vertiefen (und zwar um ca. 0,2 µm). Danach erfolgt eine Oxidaufbringung (ca. 0,06 bis 0,10 µm dick), und Oxidabstandselemente 33 werden durch einen anschließenden Abstandselement-Ätzvorgang gebildet. Als nächstes erfolgt die Aufbringung von Polysilizium (ca. 0,06 bis 0,15 µm dick), und Polysiliziumabstandselemente 34 werden durch einen anschließenden Abstandselement-Ätzvorgang gebildet. Danach erfolgt eine zweite Aufbringung von Oxid (ca. 0,10 µm dick), und Oxidabstandselemente 35 werden durch einen anschließenden Abstandselement-Ätzvorgang gebildet. Zu diesem Zeitpunkt können, falls gewünscht, mehrere Polysiliziumabstandselemente (die jeweils durch Oxidabstandselemente voneinander getrennt sind) ausgebildet werden, die nach der Ausführung eines langen Polysilizium-Ätzvorgangs zur Bildung von mehreren (d. h. zwei, drei usw.) Behältnissen in dem Speicherknotenpolysilizium 31 führen, wie dies in der Zeichnung zu erkennen ist.

[0021] Wie unter Bezugnahme auf Fig. 2 zu sehen ist, wird das Oxid 29 geätzt, um die Außenwände des Speicherknoten-Doppelbehälters 31 freizulegen. An diesem Punkt ist es auch möglich, das Speicherknoten-Polysilizium entweder so zu belassen, wie es ist, oder eine Schicht aus Polysilizium mit halbkugelförmiger Körnung aufzubringen. Bei Aufbringung von Polysilizium mit halbkugelförmiger Körnung folgt dann eine vollflächige Ätzung des Polysiliziums mit halbkugelförmiger Körnung, die zur Bildung von Polysilizium 32 (texturiertes oder zerklüftetes Polysilizium) mit halbkugelförmiger Körnung um den Speicherknoten-Polysiliziumbehälter 31 herum führt.

[0022] Unter Bezugnahme auf Fig. 3 wird Zelloxid dielektrikum 101 auf dem Speicherknotenbehälter-Polysilizium 31 niedergeschlagen, wonach die Aufbringung von Polysilizium 102 erfolgt, um die zweite Kondensatorelektrode zu bilden. Von diesem Punkt an werden zur Fertigstellung der Halbleitervorrichtung herkömmliche Verfahrensschritte durchgeführt.

[0023] Obwohl es sich bei dem bevorzugten Zelloxid dielektrikum um Nitrid handelt, kann jegliches Material mit einer

hohen Dielektrizitätskonstante, wie z. B. Ta_2O_5 oder $SrTiO_3$, verwendet werden könnte. Für alle vorstehend beschriebenen Ausführungsbeispiele der vorliegenden Erfindung sowie für jegliche Modifikationen derselben gilt, daß das zur Bildung der zweiten Zellenplatte des Kondensators niedergeschlagene Polysilizium leitfähig dotiert wird, und zwar entweder n-leitend oder p-leitend, wobei dies von dem für den aktiven Bereich 21 gewünschten Leitfähigkeitstyp abhängig ist. Zur Fertigstellung der Halbleitervorrichtung werden von diesem Punkt an herkömmliche Verfahrensschritte durchgeführt.

Patentansprüche

1. Verfahren zum Herstellen einer leitfähigen Mehrfachbehälter-Struktur auf der bestehenden Topographie eines Ausgangssubstrats, mit folgenden Schritten:

- a) Bilden einer vollflächigen ersten, zweiten und dritten Isolierschicht (27, 28 und 29) über der bestehenden Topographie;
- b) Mustergebung und Ätzen einer Öffnung (91) in die erste, zweite und dritte Isolierschicht;
- c) Ausbilden und Planarmachen einer leitfähigen Schicht (32) unter Füllung der Öffnung;
- d) Einbringen einer Vertiefung in die planarisierte leitfähige Schicht (32);
- e) Ausbilden von isolierenden Abstandselementen (33, 35) und leitfähigen Abstandselementen (34) in einander abwechselnder Weise auf der vertieften Oberfläche der leitfähigen Schicht (32);
- f) Entfernen der dritten Isolierschicht (29) unter Freilegung der Außenwände der leitfähigen Schicht; und
- g) Entfernen der leitfähigen Abstandselemente (34) und Eingraben in die darunterliegende leitfähige Schicht zur Bildung der Mehrfachbehälter-Struktur.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zwischen den Schritten f) und g) folgende zusätzliche Schritte erfolgen:

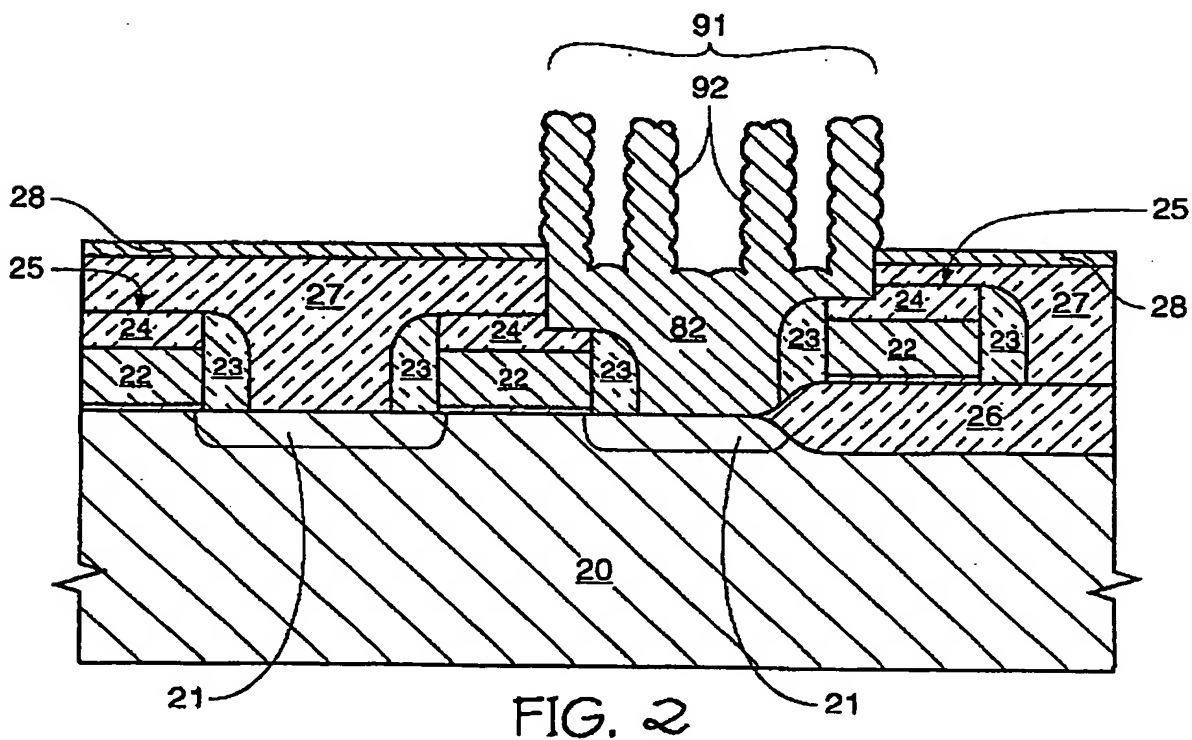
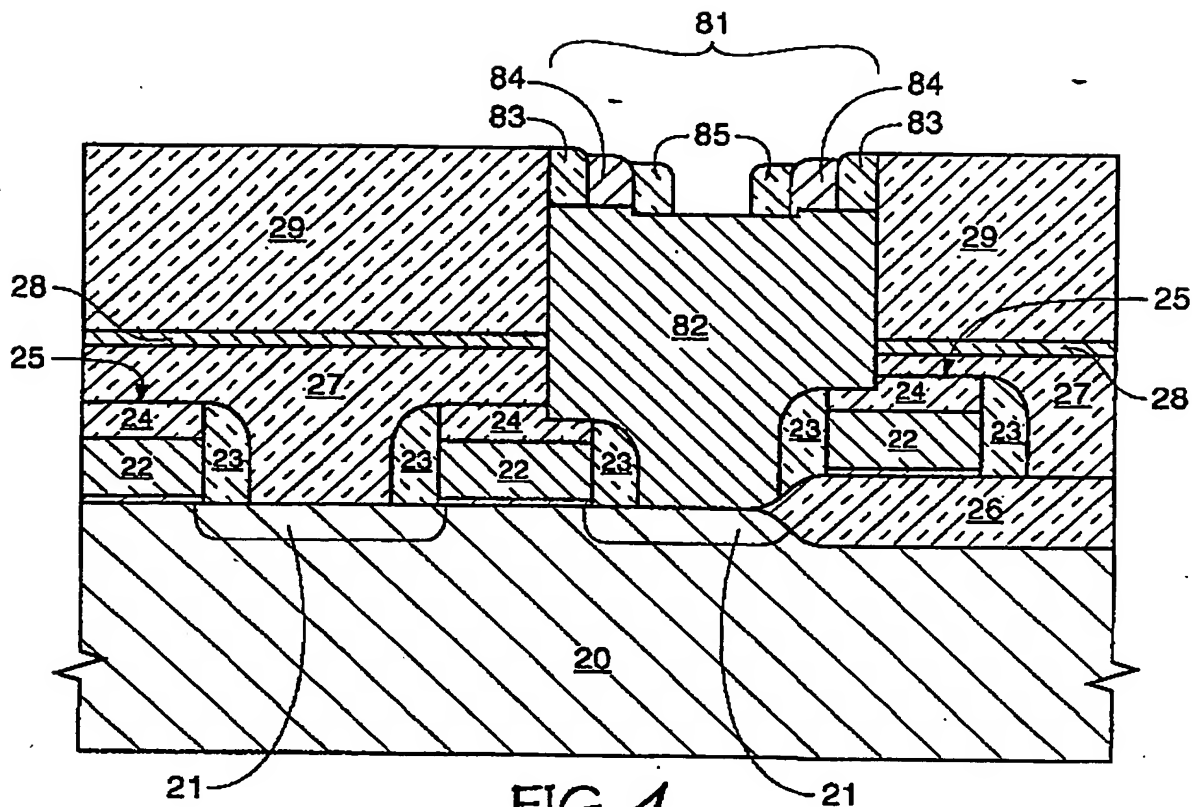
- a) Bilden einer zweiten leitfähigen Schicht (92) auf den freiliegenden Wänden der leitfähigen Schicht und den freiliegenden Oberflächen der Struktur; und
- b) Bilden einer texturierten Oberfläche auf der zweiten leitfähigen Schicht, wobei die texturierte Oberfläche an der leitfähigen Schicht anhaftet.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet,

- a) daß die Bildung der ersten leitfähigen Schicht (32) das Aufbringen einer an Ort und Stelle dotierten Polysiliziumschicht beinhaltet,
- b) daß die Bildung der texturierten Oberfläche (92) das Aufbringen von Polysilizium mit halbkugelförmiger Körnung beinhaltet, und
- c) daß das Bilden der abwechselnd aufeinander folgenden isolierenden Schichten (33, 35) und der leitfähigen Schicht (34) das Bilden eines ersten Oxidabstandselements, das Bilden eines Polysiliziumabstandselements sowie das Bilden eines zweiten Oxidabstandselements beinhaltet.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Planarisierung der leitfähigen Schicht (32) durch chemisch-mechanische Planarisierung erfolgt.

Hierzu 3 Seite(n) Zeichnungen



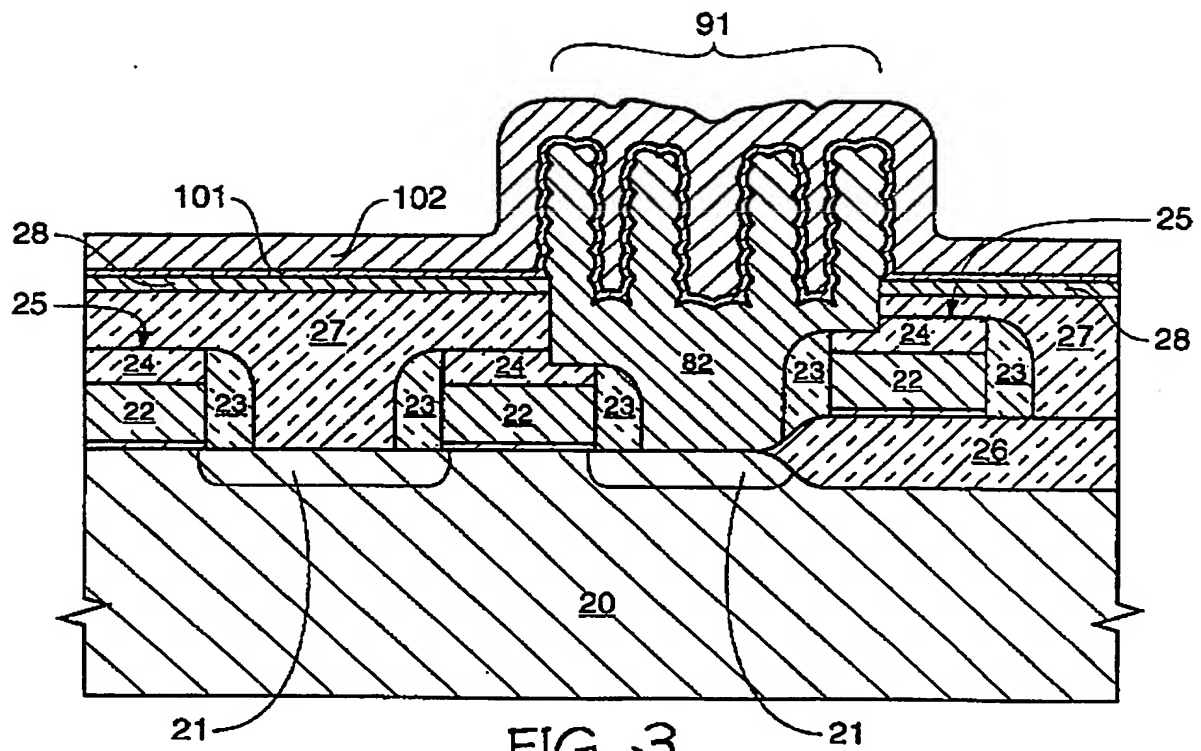


FIG. 3

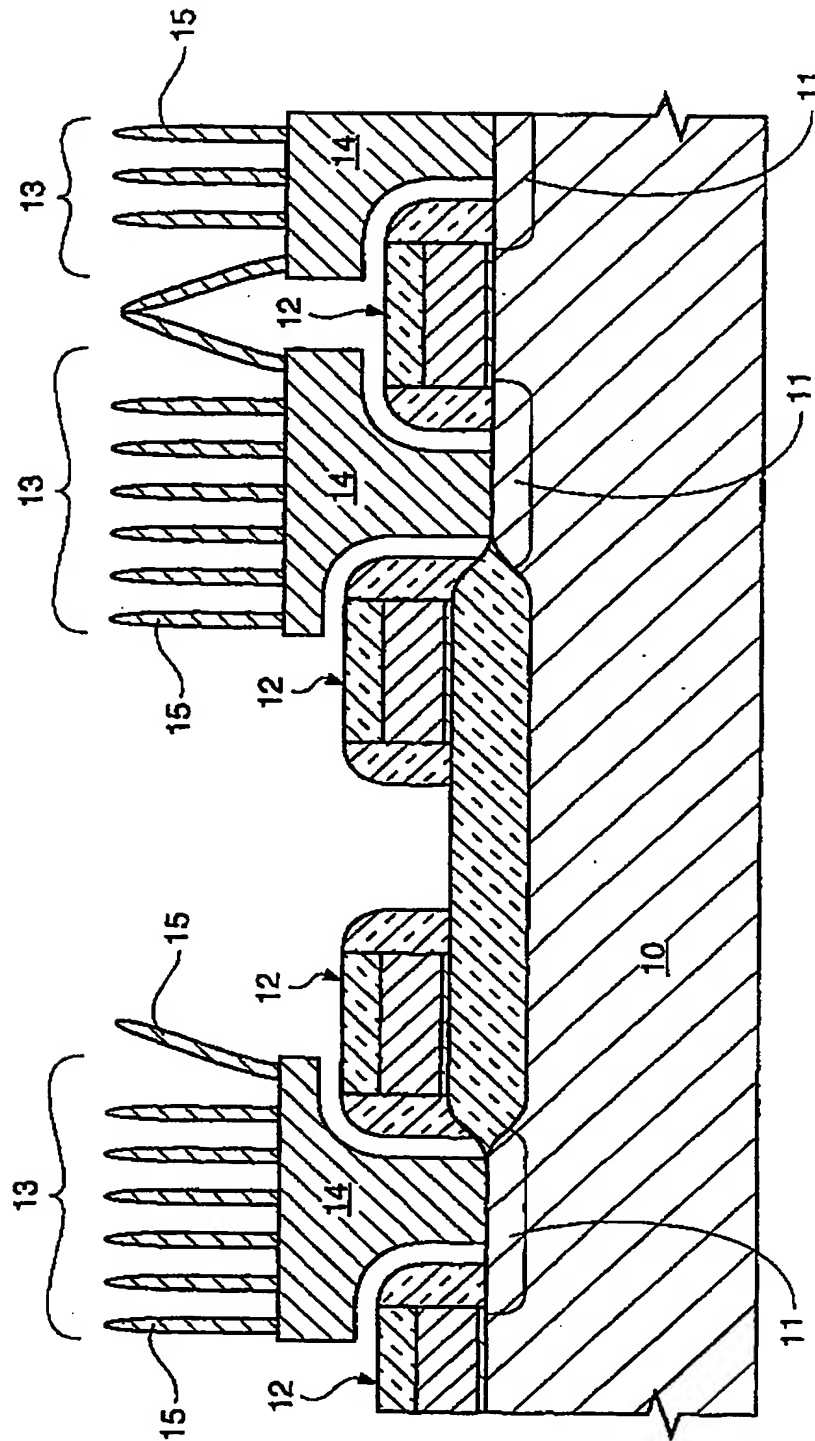


FIG. 4